

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-312147

(43)Date of publication of application : 07.11.2000

(51)Int.Cl.

H03L 7/08

H04N 7/24

(21)Application number : 11-118858

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.04.1999

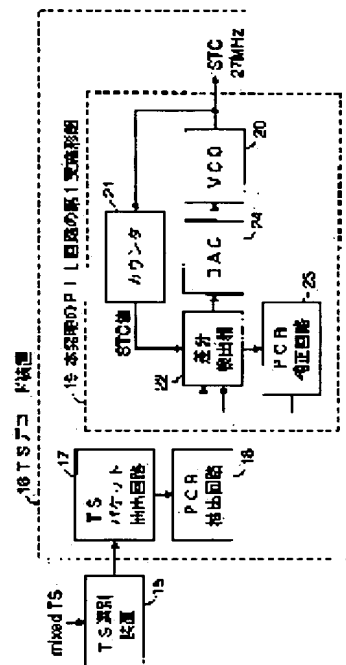
(72)Inventor : NISHIMORI EIJI

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To permit an inner time value to follow up a regular reference time value in a short time, by inputting the reference time value supplied from outside and the inner time value and controlling a voltage control oscillator, so that the inner time value follows up the regular reference time value.

SOLUTION: This PLL circuit consists of a voltage control transmitter 20 for outputting a system time clock (STC), a counter 21 counting STC and outputting a system time clock value (STC value), a difference detector 22 detecting the difference between a program time reference collation value PCR that a program time reference collation value PCR correction circuit 23 outputs and the STC value and a digital/analog converter 24 converting a digital difference signal that the difference detector 22 outputs into an analog difference signal and supplying it to the voltage control transmitter 20 as a control voltage. As a result, when a reference time value is not supplied, the difference between the regular reference time value and the inner time value is detected, and the voltage control transmitter 20 is controlled based on it.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-312147

(P2000-312147A)

(43) 公開日 平成12年11月7日 (2000.11.7)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 3 L 7/08

H 0 3 L 7/08

L 5 C 0 5 9

H 0 4 N 7/24

H 0 4 N 7/13

Z 5 J 1 0 6

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21) 出願番号

特願平11-118858

(22) 出願日

平成11年4月27日 (1999.4.27)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 西森 英二

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100092174

弁理士 平戸 哲夫

Fターム(参考) 5C059 KK33 MA00 RB02 RB10 RB16

RC04 RE04 SS02 UA05 UA09

5J106 AA04 BB04 CC01 CC21 CC52

DD17 DD35 EE01 FF06 GG04

KK18

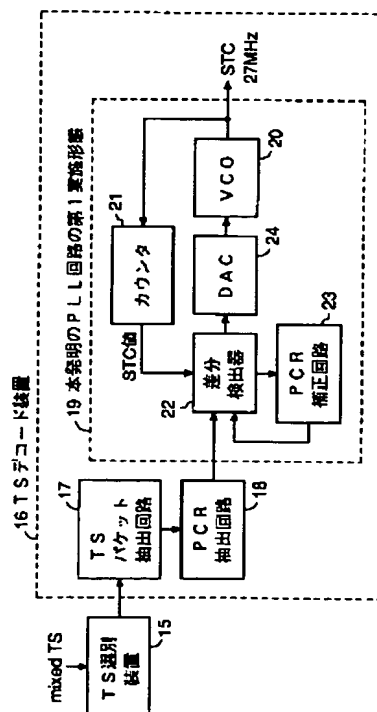
(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】例えば、MPEGを利用した衛星多チャンネル・デジタル放送用の受信機に備えるSTC (システム・タイム・クロック) 生成用のPLL回路に関し、PCR (プログラム時刻基準参照値) が正規のタイミングで供給されることが保証されていない場合であっても、メモリを追加することなく、短い時間でSTCを正規のPCRに追従させることができるようにする。

【解決手段】1トランスポート・パケットの転送時間のカウント値が放送仕様により一定値tpであることから、PCR抽出回路18から供給されるPCRとSTC値との差分が $\pm tp/2$ の範囲を越えている場合には、PCR抽出回路18から供給されるPCRに $tp \times m$ を加減算し、補正されたPCRとSTC値との差分が $\pm tp/2$ の範囲にあるようにし、正規のPCRとSTC値との差分を算出する。

本発明のPLL回路の第1実施形態を備える受信機の一部を示す回路図



【特許請求の範囲】

【請求項1】 クロックを出力する電圧制御発振器と、
前記クロックをカウントして内部時刻値を出力するカウンタと、

外部から供給される基準時刻値と前記内部時刻値とを入力して、前記内部時刻値が正規の基準時刻値に追従するように前記電圧制御発振器を制御する電圧制御発振器制御回路を備えていることを特徴とするPLL回路。

【請求項2】 前記電圧制御発振器制御回路は、前記外部から供給される基準時刻値が正規のタイミングで供給されている場合には、前記外部から供給される基準時刻値と前記内部時刻値との差分に基づいて前記電圧制御発振器を制御し、前記外部から供給される基準時刻値が正規のタイミングで供給されていない場合には、正規の基準時刻値と前記内部時刻値との差分を算出し、この算出した差分に基づいて前記電圧制御発振器を制御するように構成されていることを特徴とする請求項1記載のPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MPEG (Moving Picture Experts Group) を利用した衛星多チャネル・デジタル放送用の受信機に備えられるシステム・タイム・クロック生成用のPLL (Phase Locked Loop) 回路などのように、外部から基準時刻値が供給されるPLL回路に関する。

【0002】

【従来の技術】 MPEGを利用した衛星多チャネル・デジタル放送システムにおいては、複数のMPEGトランスポート・ストリームをトランスポート・パケットを単位として混合してなるMPEG混合トランスポート・ストリームがトランスポンダ (衛星中継器) の数だけ同時に送信される。

【0003】 図4はMPEGトランスポート・ストリームの混合例を示す図である。この例では、トランスポート・パケットの並びをp1、p2、p3、p4・・・とするMPEGトランスポート・ストリームTS1と、トランスポート・パケットの並びをpa、pb、pc、pd・・・とするMPEGトランスポート・ストリームTS2とが混合器1で混合され、トランスポート・パケットの並びをp1、p2、pa、pb、p3、p4、pc、pd・・・とするMPEG混合トランスポート・ストリームmixed TSが形成されている。

【0004】 このように、MPEGを利用した衛星多チャネル・デジタル放送システムによれば、複数のMPEGトランスポート・ストリームを1個のMPEG混合トランスポート・ストリームとして1個の回線で送信することができることから、回線の利用率の向上を図ることができる。

【0005】 図5はMPEGを利用した衛星多チャネル

・デジタル放送用の受信機として、従来、提案されている受信機の一例の一部分を示す回路図である。図5中、2は受信され、復調されたMPEG混合トランスポート・ストリームmixed TSからデコードしようとするMPEGトランスポート・ストリームを選別するTS選別装置、3はTS選別装置2から出力されるMPEGトランスポート・ストリームをデコードして映像信号及び音声信号を再生するTSデコード装置、4はTSデコード装置3内に設けられた映像信号及び音声信号の再生に必要なシステム・タイム・クロック生成用のPLL回路である。

【0006】 図6はPLL回路4の構成を示す回路図である。図6中、5はシステム・タイム・クロックSTCを出力する水晶発振型の電圧制御発振器、6は電圧制御発振器5から出力されるシステム・タイム・クロックSTCをカウントして内部時刻値であるシステム・タイム・クロック値(STC値)を出力するカウンタ、7はデコードすべきMPEGトランスポート・ストリームに含まれている基準時刻値であるプログラム時刻基準参照値PCRとカウンタ6から出力されるシステム・タイム・クロック値との差分を検出する差分検出器、8は差分検出器7から出力されるデジタル差分信号をアナログ差分信号に変換し、このアナログ差分信号を制御電圧として電圧制御発振器5に供給するデジタル/アナログ変換器である。

【0007】 図5に示す従来の受信機は、TSデコード装置3にPLL回路4を設け、TS選別装置2から出力されるMPEGトランスポート・ストリームに含まれているプログラム時刻基準参照値PCRを基準時刻値としてPLL回路4に供給し、PLL回路4において、送信側のエンコード装置で使用されているシステム・タイム・クロックSTCと周波数を同一とする27MHzのシステム・タイム・クロックSTCを再現することにより映像信号及び音声信号の再生を行うというものである。なお、プログラム時刻基準参照値PCRは、システム・タイム・クロックSTCの周波数と同一の27MHzでカウントされるものであり、約0.1秒間隔で送出されるものである。

【0008】 図7はMPEGを利用した衛星多チャネル・デジタル放送用の受信機として、従来、提案されている受信機の一例の一部分を示す回路図である。図7中、9は受信され、復調されたMPEG混合トランスポート・ストリームmixed TSからデコードしようとするMPEGトランスポート・ストリームを選別するTS選別装置、10はTS選別装置9から出力される伝送クロックを分周してなる分周クロックを生成する分周クロック・ジェネレータである。

【0009】 また、11はTS選別装置9から出力されるMPEGトランスポート・ストリームをトランスポート・パケットを単位として順に格納し、分周クロック・

ジェネレータ10から出力される分周クロックに同期してトランスポート・パケットを格納順に出力するバッファメモリ、12はバッファメモリ11から出力されるMPEGトランスポート・ストリームをデコードするTSデコード装置、13はTSデコード装置12内に設けられたシステム・タイム・クロック生成用のPLL回路である。

【0010】図7に示す従来の受信機は、TS選別装置9から出力されるMPEGトランスポート・ストリームをトランスポート・パケットを単位として順にバッファメモリ11に格納し、伝送クロックを分周した分周クロックに同期してバッファメモリ11からトランスポート・パケットを格納順に出力させ、混合前のタイミングのMPEGトランスポート・ストリームを得ることにより、送信側のエンコード装置で使用されているシステム・タイム・クロックSTCと周波数を同一とする27MHzのシステム・タイム・クロックSTCを再現して、映像信号及び音声信号の再生を行うというものである。

【0011】

【発明が解決しようとする課題】図8は図5に示す従来の受信機が有している問題点を説明するためのタイミングチャートであり、図4に示したMPEGトランスポート・ストリームTS1、TS2を混合してMPEG混合トランスポート・ストリームmixed TSを送信する場合のタイミングを示しているが、ここでは、図5に示す従来の受信機でMPEG混合トランスポート・ストリームmixed TSからMPEGトランスポート・ストリームTS1を選別してデコードする場合を検討する。

【0012】図8から明らかなように、MPEG混合トランスポート・ストリームmixed TSのトランスポート・パケットp1、p3・・・p2n+1は、それぞれ、MPEGトランスポート・ストリームTS1を単独で送信するとした場合に、MPEGトランスポート・ストリームTS1のトランスポート・パケットp1、p3・・・p2n+1が送信されるタイミングと同一のタイミングで送信されることになる。

【0013】これに対して、MPEG混合トランスポート・ストリームmixed TSのトランスポート・パケットp2、p4・・・p2n+2は、それぞれ、MPEGトランスポート・ストリームTS1を単独で送信するとした場合に、MPEGトランスポート・ストリームTS1のトランスポート・パケットp2、p4・・・p2n+2が送信されるタイミングよりも時間 $t_m (= t/2)$ だけ早く送信されることになる。但し、 t_m はMPEG混合トランスポート・ストリームmixed TSにおける1トランスポート・パケットの転送時間、 t はMPEGトランスポート・ストリームTS1、TS2における1トランスポート・パケットの転送時間である。

【0014】そこで、例えば、約0.1秒の間隔で送出される連続するプログラム時刻基準参照値PCR-1、

PCR-2のうち、プログラム時刻基準参照値PCR-1がトランスポート・パケットp1に挿入され、プログラム時刻基準参照値PCR-2がトランスポート・パケットp2n+1に挿入されているとすると、送信されるMPEG混合トランスポート・ストリームmixed TSのトランスポート・パケットp2n+1が受信機に到達するタイミングは、MPEGトランスポート・ストリームTS1を単独で送信するとした場合に、MPEGトランスポート・ストリームTS1のトランスポート・パケットp2n+1が受信機に到達するタイミングと同一となり、正しいタイミングでプログラム時刻基準参照値PCR-2を得ることができることになるので、システム・タイム・クロックSTCを生成するのに何ら問題は生じない。

【0015】これに対して、プログラム時刻基準参照値PCR-1がトランスポート・パケットp1に挿入され、プログラム時刻基準参照値PCR-2がトランスポート・パケットp2n+2に挿入されているとすると、送信されるMPEG混合トランスポート・ストリームmixed TSのトランスポート・パケットp2n+2が受信機に到達するタイミングは、MPEGトランスポート・ストリームTS1を単独で送信するとした場合に、MPEGトランスポート・ストリームTS1のトランスポート・パケットp2n+2が受信機に到達するタイミングよりも時間 $t_m = t/2$ だけ早くなり、正しいタイミングでプログラム時刻基準参照値PCR-2を得ることができないことになる。

【0016】ここに、例えば、MPEG混合トランスポート・ストリームmixed TSの転送速度を30Mbpsとすると、トランスポート・パケットは、204バイトで構成されている（データは188バイトで構成されている）ことから、時間 t_m の誤差は、システム・タイム・クロック値に換算すると、

$$\{(204 \times 8 \text{ ビット}) / (30 \times 10^6)\} \times 27 \times 10^6 \approx 1469$$

となるが、これは、

$$1469 / (27 \times 10^6 \times 0.1) \approx 544 \text{ ppm}$$

の誤差となる。この誤差を前提としてPLL回路4を構成する場合には、プログラム時刻基準参照値PCRに対して1/1469程度の感度低減を図るためのフィルタを構成しておく必要があり、単純に1500回程程度の信号が追従のために必要となるが、これは、追従時間が150秒以上となるので、図5に示す従来の受信機は実用的とはいえない。

【0017】また、図7に示す従来の受信機では、MPEGトランスポート・ストリームを混合する単位が図4（図8）に示す例のように2ストリーム/4トランスポート・パケットであれば、2個のトランスポート・パケットをバッファメモリ11に格納し、伝送クロックを2分周してなる分周クロックに同期させて出力させること

により、混合前のタイミングのMPEGトランスポート・ストリームを再生することができるが、放送仕様上は、2ストリーム/4トランスポート・パケットを単位とすることに限定されておらず、48トランスポート・パケット期間内で最大8個のMPEGトランスポート・ストリームを並べるとする仕様があるため、例えば、送信期間の半分が目標の信号とした場合、バッファメモリ11として24トランスポート・パケット分、約10Kバイトの容量を有するバッファメモリが必要となる。これは、パターンルールを0.35 μ m程度とする現行の

プロセスにおいて、1mm²程度のチップ領域を占め、TSデコード装置12の回路規模を大きくしなければならず、コスト上、大きなデメリットとなるため、図7に示す従来の受信機も、やはり、実用的とはいえない。

【0018】なお、MPEGトランスポート・ストリームの混合後に、プログラム時刻基準参照値PCRを正しいタイミングに書き換えるようにする場合には、図5に示す従来の受信機で対応することができるが、この場合には、MPEG混合トランスポート・ストリームに含まれているMPEGトランスポート・ストリームの分析、

再合成作業が必要となるので、これを行うことは極めて困難である。

【0019】本発明は、かかる点に鑑み、MPEGを利用した衛星多チャネル・デジタル放送用の受信機に備えられるシステム・タイム・クロック生成用のPLL回路などのように、外部から基準時刻値が供給されるPLL回路であって、外部から供給される基準時刻値が正規のタイミングで供給されることが保証されていない場合であっても、メモリを追加することなく、短い時間で内部時刻値を正規の基準時刻値に追従させることができるようにしたPLL回路を提供することを目的とする。

【0020】

【課題を解決するための手段】本発明のPLL回路は、クロックを出力する電圧制御発振器と、前記クロックをカウントして内部時刻値を出力するカウンタと、外部から供給される基準時刻値と内部時刻値とを入力して、内部時刻値が正規の基準時刻値に追従するように前記電圧制御発振器を制御する電圧制御発振器制御回路を備えているというものである。

【0021】本発明のPLL回路によれば、外部から供給される基準時刻値と内部時刻値とを入力して内部時刻値が正規の基準時刻値に追従するように電圧制御発振器を制御する電圧制御発振器制御回路を備えているので、外部から供給される基準時刻値が正規のタイミングで供給されることが保証されていない場合であっても、メモリを追加することなく、短い時間で内部時刻値を正規の基準時刻値に追従させることができる。

【0022】

【発明の実施の形態】以下、図1～図3を参照して、本発明のPLL回路の第1実施形態～第3実施形態につい

て説明する。

【0023】第1実施形態・図1

図1は本発明のPLL回路の第1実施形態を備える受信機の一部分を示す回路図であり、この受信機は、MPEGを利用した衛星多チャネル・デジタル放送用のものである。

【0024】図1中、15は受信され、復調されたMPEG混合トランスポート・ストリームmixed TSからデコードしようとするMPEGトランスポート・ストリームを選別するTS選別装置、16はTS選別装置15から出力されるMPEGトランスポート・ストリームのデコードを行うTSデコード装置であり、その構成の一部を示している。

【0025】TSデコード装置16において、17はMPEGトランスポート・ストリームとして多重化された信号の中から目的のPID (Packet Identifier) を持つトランスポート・パケットを選別するTSパケット抽出回路、18は抽出したトランスポート・パケット内にあるアダプテーション・フィールドに符号化されたプログラム時刻基準参照値PCRを取り出すPCR抽出回路、19は本発明のPLL回路の第1実施形態である。

【0026】本発明のPLL回路の第1実施形態19において、20はシステム・タイム・クロックSTCを出力する水晶発振型の電圧制御発振器、21は電圧制御発振器20から出力されるシステム・タイム・クロックSTCをカウントしてシステム・タイム・クロック値を出力するカウンタ、22はPCR抽出回路18から出力されるプログラム時刻基準参照値PCR又はPCR補正回路23から出力される補正されたプログラム時刻基準参照値PCRとシステム・タイム・クロック値との差分を検出する差分検出器、24は差分検出器22から出力されるデジタル差分信号をアナログ差分信号に変換し、このアナログ差分信号を制御電圧として電圧制御発振器20に供給するデジタル/アナログ変換器である。

【0027】ここに、差分検出器22は、PCR抽出回路18から供給されるプログラム時刻基準参照値PCRとシステム・タイム・クロック値との差分を検出し、差分が ± 734 以内の場合には、この差分をデジタル/アナログ変換器24に供給し、差分が ± 734 を越えている場合には、差分が $+734$ を越えるものか、 -734 を越えるものかの情報とプログラム時刻基準参照値PCRとをPCR補正回路23に供給し、この結果、PCR補正回路23から供給される補正されたプログラム時刻基準参照値PCRとシステム・タイム・クロック値との差分を検出し、差分が ± 734 以内の場合には、この差分をデジタル/アナログ変換器24に供給し、差分が ± 734 を越えている場合には、差分が $+734$ を越えるものか、 -734 を越えるものかの情報と補正されたプログラム時刻基準参照値PCRとをPCR補正回路23に供給し、このような動作を繰り返し、差分が ± 734

以内になると、この差分をデジタル／アナログ変換器24に供給するように動作するものである。

【0028】また、PCR補正回路23は、差分検出器22から差分が+734以上である旨の情報を与えられた場合には、差分検出器22から供給されるプログラム時刻基準参照値PCRから1469の減算を行い、これを補正されたプログラム時刻基準参照値PCRとして、差分検出器22に供給し、差分検出器22から差分が-734以上である旨の情報を与えられた場合には、差分検出器22から供給されるプログラム時刻基準参照値PCRに1469を加算し、これを補正されたプログラム時刻基準参照値PCRとして差分検出器22に供給するように構成されている。

【0029】このように構成された受信機においては、TS選別装置15において、MPEG混合トランスポート・ストリームmixed TSからデコードすべきMPEGトランスポート・ストリームの選別が行われ、TSパケット抽出回路17において、MPEGトランスポート・ストリームから目標とするPIDを含むトランスポート・パケットの抽出が行われ、PCR抽出回路18において、トランスポート・パケットからプログラム時刻基準参照値PCRの抽出が行われる。

【0030】そして、PCR抽出回路18から出力されたプログラム時刻基準参照値PCRは、差分検出器22に供給され、差分検出器22において、プログラム時刻基準参照値PCRとシステム・タイム・クロック値との差分が検出され、差分が±734未満の場合には、この差分がデジタル／アナログ変換器24に供給され、システム・タイム・クロック値がプログラム時刻基準参照値PCRに追従するように電圧制御発振器20が制御される。

【0031】これに対して、プログラム時刻基準参照値PCRとシステム・タイム・クロック値との差分が+734以上の場合には、この差分は、デジタル／アナログ変換器24に供給されず、差分検出器22から被減数としてプログラム時刻基準参照値PCR、減数として1469がPCR補正回路23に供給され、PCR補正回路23において、プログラム時刻基準参照値PCRから1469の減算が行われ、この結果が第1補正プログラム時刻基準参照値PCR1として差分検出器22に供給される。

【0032】この場合、差分検出器22においては、第1補正プログラム時刻基準参照値PCR1とシステム・タイム・クロック値との差分が検出され、差分が±734未満の場合には、この差分がデジタル／アナログ変換器24に供給され、システム・タイム・クロック値がプログラム時刻基準参照値PCRに追従するように電圧制御発振器20が制御される。

【0033】これに対して、第1補正プログラム時刻基準参照値PCR1とシステム・タイム・クロック値との

差分が+734以上の場合には、この差分は、デジタル／アナログ変換器24に供給されず、差分検出器22から被減数として第1補正時刻基準参照値PCR1、減数として1469がPCR補正回路23に供給され、PCR補正回路23において、第1補正プログラム時刻基準参照値PCR1から1469の減算が行われ、この結果が第2補正プログラム時刻基準参照値PCR2として差分検出器22に供給され、差分が±734未満となるまで、差分検出器22とPCR補正回路23との間の動作が繰り返される。

【0034】また、PCR抽出回路18から出力されたプログラム時刻基準参照値PCRとシステム・タイム・クロック値との差分が-734以上の場合には、この差分は、デジタル／アナログ変換器24に供給されず、差分検出器22から被加数としてプログラム時刻基準参照値PCR、加数として1469がPCR補正回路23に供給され、PCR補正回路23において、プログラム時刻基準参照値PCRと1469との加算が行われ、この結果が第1補正プログラム時刻基準参照値PCR1として差分検出器22に供給される。

【0035】この場合、差分検出器22においては、第1補正プログラム時刻基準参照値PCR1とシステム・タイム・クロック値との差分が検出され、差分が±734未満の場合には、この差分がデジタル／アナログ変換器24に供給され、システム・タイム・クロック値がプログラム時刻基準参照値PCRに追従するように電圧制御発振器20が制御される。

【0036】これに対して、第1補正プログラム時刻基準参照値PCR1とシステム・タイム・クロック値との差分が-734以上の場合には、この差分は、デジタル／アナログ変換器24に供給されず、差分検出器22から被加数として第1補正プログラム時刻基準参照値PCR1、加数として1469がPCR補正回路23に供給され、PCR補正回路23において、第1補正プログラム時刻基準参照値PCR1と1469との加算が行われ、この結果が第2補正プログラム時刻基準参照値PCR2として差分検出器22に供給され、差分が±734未満となるまで、差分検出器22とPCR補正回路23との間の動作が繰り返される。

【0037】このように、本発明のPLL回路の第1実施形態19においては、1トランスポート・パケットの転送時間の27MHzでのカウント値が1469であることから、PCR抽出回路18から供給されるプログラム時刻基準参照値PCRとシステム・タイム・クロック値との間の誤差が許容される範囲を1469の±1/2である±734の範囲とし、PCR抽出回路18から供給されるプログラム時刻基準参照値PCRとシステム・タイム・クロック値との誤差が±734の範囲を越えている場合には、PCR抽出回路18から供給されるプログラム時刻基準参照値PCRに対して1469×m (但

し、 m は正の正数である)を加減算し、補正されたプログラム時刻基準参照値PCRとシステム・タイム・クロック値との差分が ± 734 の範囲となるようにして、正規のプログラム時刻基準参照値PCRとシステム・タイム・クロック値との差分を算出するようにしている。

【0038】したがって、本発明のPLL回路の第1実施形態19によれば、PCR抽出回路18から供給されるプログラム時刻基準参照値PCRが正規のタイミングで供給されることが保証されていない場合であっても、メモリを追加することなく、短い時間でシステム・タイム・クロックSTCを正規のプログラム時刻基準参照値PCRに追従させることができる。ちなみに、放送信号の精度を30ppmとすると、図5に示す従来のPLL回路4に比べ、100倍以上の高速追従が可能となる。

【0039】第2実施形態・図2

図2は本発明のPLL回路の第2実施形態を備える受信機の一部を示す回路図であり、この受信機も、MPEGを利用した衛星多チャンネル・デジタル放送用のものである。

【0040】図2中、25は受信され、復調されたMP 20
EG混合トランスポート・ストリームmixed TSからデコードしようとするMPEGトランスポート・ストリームを選別するTS選別装置、26はTS選別装置25から出力されるMPEGトランスポート・ストリームのデコードを行うTSデコード装置であり、その構成の一部を示している。

【0041】TSデコード装置26において、27はMPEGトランスポート・ストリームとして多重化された信号の中から目的のPIDを持つトランスポート・パケットを選別するTSパケット抽出回路、28は抽出した 30
トランスポート・パケット内にあるアダプテーション・フィールドに符号化されたプログラム時刻基準参照値PCRを取り出すPCR抽出回路、29は本発明のPLL回路の第2実施形態である。

【0042】本発明のPLL回路の第2実施形態29において、30はシステム・タイム・クロックSTCを出力する水晶発振型の電圧制御発振器、31は電圧制御発振器30から出力されるシステム・タイム・クロックをカウントしてシステム・タイム・クロック値を出力するカウンタ、32はPCR抽出回路28から出力されるプ 40
ログラム時刻基準参照値PCRとシステム・タイム・クロック値との差分を検出する差分検出器である。

【0043】また、33は差分検出器32から出力される差分又は差分補正回路34から出力される補正された差分が ± 734 の範囲にあるか否かを点検する差分点検回路、35は差分点検回路33から出力される差分をアナログ電圧に変換し、このアナログ電圧を制御電圧として電圧制御発振器30に供給するデジタル／アナログ変換器である。

【0044】ここに、差分点検回路33は、差分検出器 50

32から供給される差分 ΔPCR が ± 734 以内の場合には、この差分 ΔPCR をデジタル／アナログ変換器35に供給し、差分 ΔPCR が ± 734 を越えている場合には、差分 ΔPCR が $+734$ を越えるものか、 -734 を越えるものかの情報と差分 ΔPCR とを差分補正回路34に供給し、差分補正回路34から供給される補正された差分 ΔPCR が ± 734 以内の場合には、この補正された差分 ΔPCR をデジタル／アナログ変換器35に供給し、補正された差分 ΔPCR が ± 734 を越えている場合には、補正された差分 ΔPCR が $+734$ を越えるものか、 -734 を越えるものかの情報と補正された差分 ΔPCR とを差分補正回路34に供給し、このような動作を繰り返し、補正された差分 ΔPCR が ± 734 以内になると、この補正された差分 ΔPCR をデジタル／アナログ変換器35に供給するように動作するものである。

【0045】また、差分補正回路34は、差分点検回路33から差分 ΔPCR が $+734$ 以上である旨の情報を与えられた場合には、差分点検回路33から供給される差分 ΔPCR から1469の減算を行い、これを補正された差分 ΔPCR として差分点検回路33に供給し、差分点検回路33から差分 ΔPCR が -734 以上である旨の情報を与えられた場合には、差分点検回路33から供給される差分 ΔPCR に1469を加算し、これを補正された差分PCRとして差分点検回路33に供給するように構成されている。

【0046】このように構成された受信機においては、TS選別装置25において、デコードすべきMPEGトランスポート・ストリームの選別が行われ、TSパケット抽出回路27において、MPEGトランスポート・ストリームから目標とするPIDを含むトランスポート・パケットの抽出が行われ、PCR抽出回路28において、トランスポート・パケットからプログラム時刻基準参照値PCRの抽出が行われる。

【0047】そして、PCR抽出回路28から出力されたプログラム時刻基準参照値PCRは、差分検出器32に供給され、差分検出器32において、プログラム時刻基準参照値PCRとシステム・タイム・クロック値との差分 ΔPCR が検出され、その差分 ΔPCR が差分点検回路33に供給され、差分点検回路33においては、差分検出回路32から供給された差分 ΔPCR が ± 734 の範囲にあるか否かが点検され、差分 ΔPCR が ± 734 の範囲にある場合には、その差分 ΔPCR がデジタル／アナログ変換器35に供給され、システム・タイム・クロック値がプログラム時刻基準参照値PCRに追従するように電圧制御発振器30が制御される。

【0048】これに対して、差分検出器32から供給された差分 ΔPCR が $+734$ 以上の場合には、この差分 ΔPCR は、デジタル／アナログ変換器35に供給されず、差分点検回路33から被減数として差分検出器32

から供給された差分 ΔPCR 、減数として1469が差分補正回路34に供給され、差分補正回路34において、差分検出器32から供給された差分 ΔPCR から1469の減算が行われ、この結果が第1補正差分 $\Delta PCR1$ として差分点検回路33に供給される。

【0049】差分点検回路33においては、第1補正差分 $\Delta PCR1$ が ± 734 の範囲にあるか否かが点検され、第1補正差分 $\Delta PCR1$ が ± 734 の範囲にある場合には、この第1補正差分 $\Delta PCR1$ がデジタル／アナログ変換器35に供給され、システム・タイム・クロック値がプログラム時刻基準参照値 PCR に追従するように電圧制御発振器30が制御される。

【0050】これに対して、第1補正差分 $\Delta PCR1$ が $+734$ 以上の場合には、この第1補正差分 ΔPCR は、デジタル／アナログ変換器35に供給されず、差分点検回路33から被減数として第1補正差分 $\Delta PCR1$ 、減数として1469が差分補正回路34に供給され、差分補正回路34において、第1補正差分 $\Delta PCR1$ から1469の減算が行われ、この結果が第2補正差分 $\Delta PCR2$ として差分点検回路33に供給され、以下、補正差分 ΔPCR が ± 734 未満となるまで、差分点検回路33と差分補正回路34との間の動作が繰り返される。

【0051】これに対して、差分検出器32から供給された差分 ΔPCR が -734 以上の場合には、この差分 ΔPCR は、デジタル／アナログ変換器35に供給されず、差分点検回路33から被加数として差分検出器32から供給された差分 ΔPCR 、加数として1469が差分補正回路34に供給され、差分補正回路34において、差分検出器32から供給された差分 ΔPCR と1469との加算が行われ、この結果が第1補正差分 $\Delta PCR1$ として差分点検回路33に供給される。

【0052】差分点検回路33においては、第1補正差分 ΔPCR が ± 734 の範囲にあるか否かが点検され、第1補正差分 $\Delta PCR1$ が ± 734 の範囲にある場合には、この第1補正差分 $\Delta PCR1$ がデジタル／アナログ変換器35に供給され、システム・タイム・クロック値がプログラム時刻基準参照値 PCR に追従するように電圧制御発振器30が制御される。

【0053】これに対して、第1補正差分 $\Delta PCR1$ が -734 以上の場合には、この第1補正差分 $\Delta PCR1$ は、デジタル／アナログ変換器35に供給されず、差分点検回路33から被加数として第1補正差分 $\Delta PCR1$ 、加数として1469が差分補正回路34に供給され、差分補正回路34において、第1補正差分 $\Delta PCR1$ と1469との加算が行われ、この結果が第2補正差分 $\Delta PCR2$ として差分点検回路33に供給され、以下、補正差分が ± 734 未満となるまで、差分点検回路33と差分補正回路34との間の動作が繰り返される。

【0054】このように、本発明のPLL回路の第2実

施形態29においては、1トランスポート・パケットの転送時間の27MHzでのカウント値が1469であることから、PCR抽出回路28からプログラム時刻基準参照値 PCR とシステム・タイム・クロック値との間の誤差が許容される範囲を1469の $\pm 1/2$ の ± 734 の範囲とし、差分検出器32から出力される差分が ± 734 の範囲を越えている場合には、差分検出器32から出力される差分 ΔPCR に対して $1469 \times m$ を加減算し、補正された差分 ΔPCR が ± 734 の範囲となるようにし、正規のプログラム時刻基準参照値 PCR とシステム・タイム・クロック値との差分を算出するようにしている。

【0055】したがって、本発明のPLL回路の第2実施形態29によれば、PCR抽出回路28から供給されるプログラム時刻基準参照値 PCR が正規のタイミングで供給されることが保証されていない場合であっても、メモリを追加することなく、短い時間でシステム・タイム・クロック値を正規のプログラム時刻基準参照値 PCR に追従させることができる。なお、本発明のPLL回路の第2実施形態においても、本発明のPLL回路の第1実施形態19の場合と同様に、放送信号の精度を30ppmとすると、図5に示す従来のPLL回路4に比べ、100倍以上の高速追従が可能となる。

【0056】第3実施形態・図3

図3は本発明のPLL回路の第3実施形態を備える受信機の一部を示す回路図であり、この受信機も、MPEGを利用した衛星多チャネル・デジタル放送用のものである。

【0057】図3中、36は受信され、復調されたMPEG混合トランスポート・ストリームmixed TSからデコードしようとするMPEGトランスポート・ストリームを選別するTS選別装置、37はTS選別装置36から出力されるMPEGトランスポート・ストリームのデコードを行うTSデコード装置であり、その構成の一部を示している。

【0058】TSデコード装置37において、38はMPEGトランスポート・ストリームとして多重化された信号の中から目的のPIDを持つトランスポート・パケットを選別するTSパケット抽出回路、39は抽出したトランスポート・パケット内にあるアダプテーション・フィールドに符号化されたプログラム時刻基準参照値 PCR を取り出すPCR抽出回路、40は本発明のPLL回路の第3実施形態である。

【0059】本発明のPLL回路の第3実施形態40において、41はシステム・タイム・クロックSTCを出力する水晶発振型の電圧制御発振器、42は電圧制御発振器41から出力されるシステム・タイム・クロックSTCをカウントしてシステム・タイム・クロック値を出力するカウンタ、43はPCR抽出回路39から出力されるプログラム時刻基準参照値 PCR とカウンタ42か

ら出力されるシステム・タイム・クロック値を外部に取り出すためのPCR・STC値取出し回路である。

【0060】また、44はPCR・STC値取出し回路43から取り出されたプログラム時刻基準参照値PCRとシステム・タイム・クロック値から正規のプログラム時刻基準参照値PCRとシステム・タイム・クロック値との差分 Δ PCRを算出するのに利用される制御用のCPU、45はCPU44から出力される差分 Δ PCRをアナログ電圧に変換し、このアナログ電圧を制御電圧として電圧制御発振器41に供給するデジタル/アナログ変換器である。

【0061】ここに、CPU44は、結果的に、
$$\Delta PCR = (PCR - STC) - [\text{round} \{ (PCR - STC) / k \} * k]$$

なる演算を行わせ、 Δ PCRを正規のプログラム時刻基準参照値PCRとシステム・タイム・クロック値との差分としてデジタル/アナログ変換器45に供給するために使用するものである。但し、round は四捨五入関数、kは1469である。

【0062】このように構成された受信機においては、TS選別装置36において、デコードすべきMPEGトランスポート・ストリームの選別が行われ、TSパケット抽出回路38において、MPEGトランスポート・ストリームから目標とするパケットIDを含むトランスポート・パケットの抽出が行われ、PCR抽出回路39において、トランスポート・パケットからプログラム時刻基準参照値PCRの抽出が行われる。

【0063】そして、PCR抽出回路39から出力されたプログラム時刻基準参照値PCR及びカウンタ42から出力されるシステム・タイム・クロック値は、PCR・STC値取出し回路43を介してCPU44に供給され、CPU44において、正規のプログラム時刻基準参照値PCRとシステム・タイム・クロック値との差分 Δ PCRが算出され、この差分 Δ PCRがデジタル/アナログ変換器45に供給され、システム・タイム・クロック値がプログラム時刻基準参照値PCRに追従するように電圧制御発振器41が制御される。

【0064】このように、本発明のPLL回路の第3実施形態40においては、1トランスポート・パケットの転送時間の27MHzでのカウント値が1469であることから、PCR抽出回路39から供給されるプログラム時刻基準参照値PCRとシステム・タイム・クロック値との誤差が許容される範囲を1469の $\pm 1/2$ の ± 734 とし、CPU44において、正規のプログラム時刻基準参照値PCRとシステム・タイム・クロック値との差分 Δ PCRを算出するようにしている。

【0065】したがって、本発明のPLL回路の第3実施形態40によっても、PCR抽出回路39から供給されるプログラム時刻基準参照値PCRが正規のタイミングで供給されることが保証されていない場合であって

も、メモリを追加することなく、短い時間でシステム・タイム・クロック値を正規のプログラム時刻基準参照値PCRに追従させることができる。なお、本発明のPLL回路の第3実施形態においても、本発明のPLL回路の第1実施形態19の場合と同様に、放送信号の精度を30ppmとすると、図5に示す従来のPLL回路4に比べ、100倍以上の高速追従が可能となる。

【0066】また、本発明のPLL回路の第1実施形態～第3実施形態においては、PCRとSTC値との差分の許容範囲をMPEG混合トランスポート・ストリームにおける1トランスポート・パケットの転送時間の $\pm 1/2$ の範囲とした場合について説明したが、必ずしも、このようにする必要はない。しかし、1トランスポート・パケットの転送時間のカウント値が放送仕様で一定値tpとされていることから、PCRとSTC値との差分の許容範囲を $\pm tp/2$ の範囲とすることが好適である。

【0067】また、本発明のPLL回路の第1実施形態～第3実施形態においては、本発明をMPEGを利用した衛星多チャネル・デジタル放送用の受信機に備えられるシステム・タイム・クロック生成用のPLL回路に適用した場合について説明したが、本発明は、外部から供給される基準時刻値と内部時刻値との差分が、外部から供給される基準時刻値と内部時刻値との間に発生する可能性のある誤差の最小値の整数倍であるPLL回路に広く適用することができる。

【0068】

【発明の効果】以上のように、本発明のPLL回路によれば、外部から供給される基準時刻値と内部時刻値とを入力して内部時刻値が正規の基準時刻値に追従するように電圧制御発振器を制御する電圧制御発振器制御回路を備えているので、外部から供給される基準時刻値が正規のタイミングで供給されることが保証されていない場合であっても、メモリを追加することなく、短い時間で内部時刻値を正規の基準時刻値に追従させることができる。

【図面の簡単な説明】

【図1】本発明のPLL回路の第1実施形態を備える受信機の一部を示す回路図である。

【図2】本発明のPLL回路の第2実施形態を備える受信機の一部を示す回路図である。

【図3】本発明のPLL回路の第3実施形態を備える受信機の一部を示す回路図である。

【図4】MPEGトランスポート・ストリームの混合例を示す図である。

【図5】MPEGを利用した衛星多チャネル・デジタル放送用の受信機として、従来、提案されている受信機の一例の一部を示す回路図である。

【図6】図5に示す受信機が備えるシステム・タイム・クロック生成用のPLL回路の構成を示す回路図である。

【図7】MPEGを利用した衛星多チャンネル・デジタル放送用の受信機として、従来、提案されている受信機他の例の一部分を示す回路図である。

【図8】図5に示す従来の受信機が有している問題点を説明するためのタイミングチャートである。

【符号の説明】

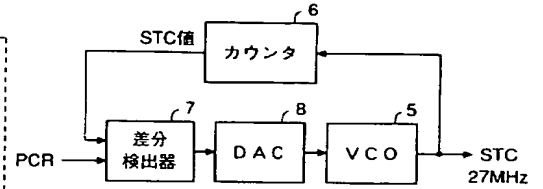
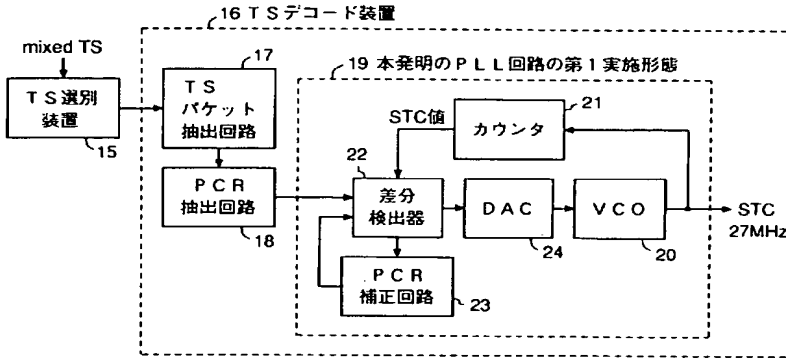
mixed TS MPEG混合トランスポート・ストリーム
PCR プログラム時刻基準参照値
STC システム・タイム・クロック

【図1】

【図6】

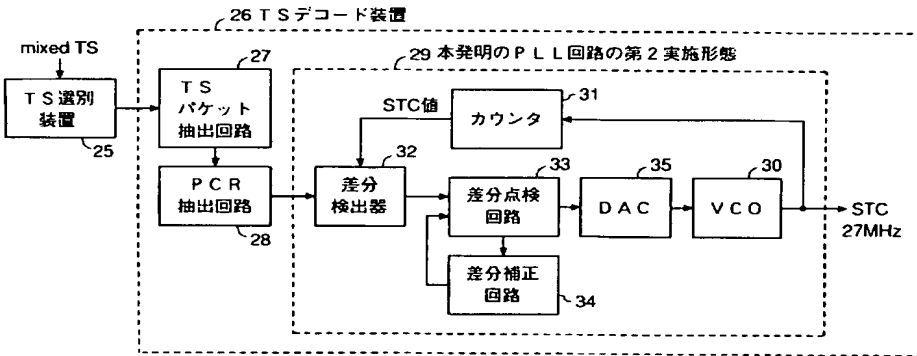
本発明のPLL回路の第1実施形態を備える受信機の一部を示す回路図

PLL回路4の構成を示す回路図



【図2】

本発明のPLL回路の第2実施形態を備える受信機の一部を示す回路図

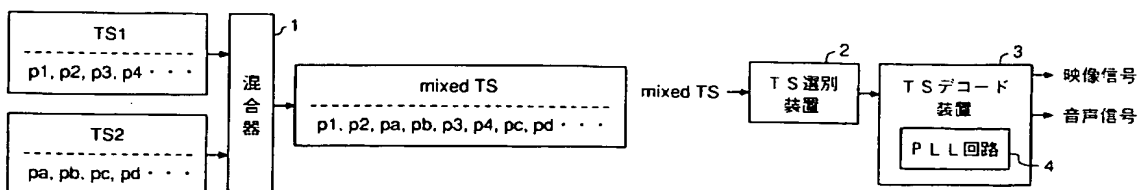


【図4】

【図5】

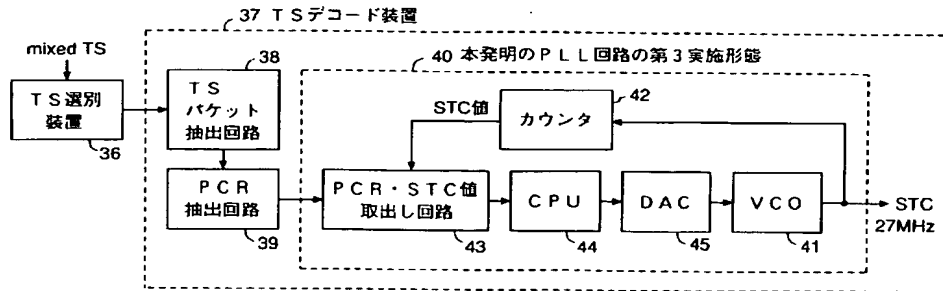
MPEGトランスポート・ストリームの混合例を示す図

MPEGを利用した衛星多チャンネル・デジタル放送用の受信機として、従来、提案されている受信機の一例の一部分を示す回路図



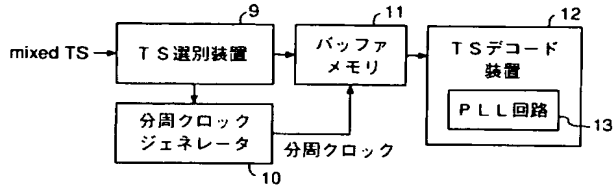
【図3】

本発明のPLL回路の第3実施形態を備える受信機の一部分を示す回路図



【図7】

MPEGを利用した衛星多チャンネル・デジタル放送用の受信機として、従来、提案されている受信機の他の例の一部分を示す回路図



【図8】

図5に示す従来の受信機が有している問題点を説明するためのタイミングチャート

